

Attorney Docket No.: 2102475-992050

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Applicant: Hironobu FUKUI

Serial No. Not yet assigned

Group Art Unit: Not yet assigned

Filed: March 26, 2004

Examiner: Not yet assigned

Title: METAL OXIDE SEMICONDUCTOR (MOS) TYPE SEMICONDUCTOR  
DEVICE AND MANUFACTURING METHOD THEREOF

EXPRESS MAIL NUMBER: EV 302280482 US

DATE OF DEPOSIT: March 26, 2004

I hereby certify that this paper is being deposited with the United States Postal Service "EXPRESS MAIL Post Office to Addressee" service under 37 CFR 1.10 on the date indicated above and is addressed to: Mail Stop Patent Application, Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450.

  
\_\_\_\_\_  
Susan Pingu

\* \* \*

REQUEST FOR PRIORITY UNDER 35 U.S.C. 119  
AND THE INTERNATIONAL CONVENTION

Mail Stop Patent Application  
Commissioner for Patents  
P.O. Box 1450  
Alexandria, VA 22313-1450

Sir:

In the matter of the above-identified application for patent, notice is hereby given that the applicants claim as priority:

<u>COUNTRY</u>	<u>APPLICATION NO.</u>	<u>MONTH/DAY/YEAR</u>
Japan	2003-399895	November 28, 2003

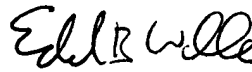
The certified copy of the corresponding Convention Application is enclosed.

Respectfully submitted,

GRAY CARY WARE & FREIDENRICH LLP

Dated: March 26, 2004

By



EDWARD B. WELLER

Reg. No. 37,468

Attorney for Applicant

GRAY CARY WARE & FREIDENRICH

2000 University Avenue

Palo Alto, CA 94303-2248

Telephone: (650) 833-2436

Facsimile: (650) 833-2001

日 本 国 特 許 庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日            2 0 0 3 年 1 1 月 2 8 日  
Date of Application:

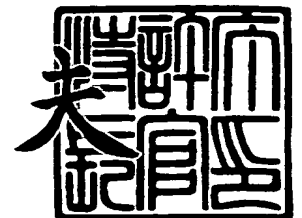
出 願 番 号            特 願 2 0 0 3 - 3 9 9 8 9 5  
Application Number:  
[ST. 10/C]:            [ J P 2 0 0 3 - 3 9 9 8 9 5 ]

出 願 人            株式会社東芝  
Applicant(s):

2 0 0 4 年   1 月   7 日

特許庁長官  
Commissioner,  
Japan Patent Office

今 井 康



【書類名】 特許願  
【整理番号】 A000304472  
【提出日】 平成15年11月28日  
【あて先】 特許庁長官 殿  
【国際特許分類】 H01L 27/11  
【発明者】  
    【住所又は居所】 神奈川県横浜市磯子区新杉田町 8 番地 株式会社東芝横浜事業所  
                                内  
    【氏名】 福井 大伸  
【特許出願人】  
    【識別番号】 000003078  
    【氏名又は名称】 株式会社 東芝  
【代理人】  
    【識別番号】 100058479  
    【弁理士】  
    【氏名又は名称】 鈴江 武彦  
    【電話番号】 03-3502-3181  
【選任した代理人】  
    【識別番号】 100091351  
    【弁理士】  
    【氏名又は名称】 河野 哲  
【選任した代理人】  
    【識別番号】 100088683  
    【弁理士】  
    【氏名又は名称】 中村 誠  
【選任した代理人】  
    【識別番号】 100108855  
    【弁理士】  
    【氏名又は名称】 蔵田 昌俊  
【選任した代理人】  
    【識別番号】 100084618  
    【弁理士】  
    【氏名又は名称】 村松 貞男  
【選任した代理人】  
    【識別番号】 100092196  
    【弁理士】  
    【氏名又は名称】 橋本 良郎  
【手数料の表示】  
    【予納台帳番号】 011567  
    【納付金額】 21,000円  
【提出物件の目録】  
    【物件名】 特許請求の範囲 1  
    【物件名】 明細書 1  
    【物件名】 図面 1  
    【物件名】 要約書 1

**【書類名】 特許請求の範囲****【請求項 1】**

MOS (Metal Oxide Semiconductor) 型トランジスタ構造を有する半導体装置であって、

前記MOS型トランジスタ構造における拡散層領域のうち、電源やグラウンドに接続されていない拡散層領域の少なくとも一部に対し、その直下のウェル領域が、他のウェル領域よりも高濃度化されていることを特徴とするMOS型半導体装置。

**【請求項 2】**

MOS (Metal Oxide Semiconductor) 型トランジスタ構造を有する半導体装置であって、

前記MOS型トランジスタ構造における拡散層領域のうち、電源やグラウンドに接続されていない拡散層領域の少なくとも一部に対し、その直下のウェル領域がトリプルウェル構造とされていることを特徴とするMOS型半導体装置。

**【請求項 3】**

前記電源やグラウンドに接続されていない拡散層領域の少なくとも一部が、ソフトウェアに脆弱であると予想される部位であることを特徴とする請求項 1 または 2 に記載のMOS型半導体装置。

**【請求項 4】**

前記MOS型トランジスタ構造を有する半導体装置は、少なくとも n 型MOSトランジスタを含み、

前記電源やグラウンドに接続されていない拡散層領域の少なくとも一部が、前記 n 型MOSトランジスタのドレインであることを特徴とする請求項 1 または 2 に記載のMOS型半導体装置。

**【請求項 5】**

前記MOS型トランジスタ構造を有する半導体装置は、 n 型MOSトランジスタおよび p 型MOSトランジスタを含み、

前記電源やグラウンドに接続されていない拡散層領域の少なくとも一部が、前記 n 型MOSトランジスタのドレイン、および、前記 p 型MOSトランジスタのドレインであることを特徴とする請求項 1 または 2 に記載のMOS型半導体装置。

**【書類名】明細書**

**【発明の名称】** MOS (Metal Oxide Semiconductor) 型半導体装置

**【技術分野】****【0001】**

本発明は、MOS型半導体装置に関するもので、特に、CMOS (Complementary MOS) 型電界効果トランジスタに関する。

**【背景技術】****【0002】**

従来、CMOS型電界効果トランジスタをメモリセルに利用した装置として、SRAM (Static Random Access memory) が知られている。CMOS型電界効果トランジスタをSRAMのメモリセルに適用した場合、ソフトエラー耐性が問題となる（たとえば、特許文献1参照）。

**【0003】**

通常、ソフトエラーの発生頻度（SER：ソフトエラーレート）は、電界効果トランジスタのスケーリングが進むにしたがって増加する。特に、テクノロジーノードが90nm以降の世代において、SERの増加は深刻な問題となっている。

**【特許文献1】** 特開平6-310683号

**【発明の開示】****【発明が解決しようとする課題】****【0004】**

上記したように、CMOS型電界効果トランジスタをメモリセルに利用したSRAMにおいては、ソフトエラー耐性が問題の1つとなっている。今後、電界効果トランジスタのスケーリングが進むにつれて、SERはますます増加することが予想される。そのため、有効な対策が望まれていた。

**【0005】**

しかしながら、回路の性能を劣化させたり、チップの面積を増大させたりすることなく、SERを低減できるようにするのは極めて困難であった。

**【0006】**

この発明は、回路性能の劣化やチップ面積の増大を必要最低限に抑えつつ、ソフトエラーの発生頻度を低減させることが可能なMOS型半導体装置を提供することを目的としている。

**【課題を解決するための手段】****【0007】**

本願発明の一態様によれば、MOS (Metal Oxide Semiconductor) 型トランジスタ構造を有する半導体装置であって、前記MOS型トランジスタ構造における拡散層領域のうち、電源やグラウンドに接続されていない拡散層領域の少なくとも一部に対し、その直下のウェル領域が、他のウェル領域よりも高濃度化されていることを特徴とするMOS型半導体装置が提供される。

**【0008】**

また、本願発明の一態様によれば、MOS (Metal Oxide Semiconductor) 型トランジスタ構造を有する半導体装置であって、前記MOS型トランジスタ構造における拡散層領域のうち、電源やグラウンドに接続されていない拡散層領域の少なくとも一部に対し、その直下のウェル領域がトリプルウェル構造とされていることを特徴とするMOS型半導体装置が提供される。

**【0009】**

上記の構成とした場合、ソフトエラーを引き起こし易い部位に対し、集中的にソフトエラー対策を講じることが可能となる。これにより、回路の性能を大きく劣化させたり、チップの面積を大幅に増大させたりすることなしに、ソフトエラー耐性を改善できるようになるものである。

## 【発明の効果】

## 【0010】

この発明によれば、回路の性能を大きく劣化させたり、チップの面積を大幅に増大させたりすることなしに、ソフトエラー耐性を改善できるようになる結果、回路性能の劣化やチップ面積の増大を必要最低限に抑えつつ、ソフトエラーの発生頻度を低減させることが可能なMOS型半導体装置を提供できる。

## 【発明を実施するための最良の形態】

## 【0011】

以下、本発明の実施の形態について図面を参照して説明する。

## 【0012】

## [第1の実施形態]

図1は、この発明の第1の実施形態にしたがった、SRAMのメモリセル（以下、SRAMセル）の基本構成を示すものである。ここでは、負荷容量を大きくすることによって、ソフトエラーに対する回路の安定性の改善を図るようにした場合について説明する。また、テクノロジーノードが90nm世代の、セルサイズが $1.26\mu\text{m} \times 0.92\mu\text{m}$ のSRAMを例に説明する。

## 【0013】

図1に示すように、p型半導体基板（p-基板）11の表面部には、p型ウェル領域（p-well）12およびn型ウェル領域（n-well）13が隣接して設けられている。上記p型ウェル領域12内には、n型MOSトランジスタ21a、21bが形成されている。上記n型MOSトランジスタ21a、21bは、ともに、 $n^+$ 型不純物拡散層からなるドレイン領域22a、22bおよびソース領域23を有して形成されている。上記ソース領域23は、上記n型MOSトランジスタ21a、21bによって共有されている。

## 【0014】

一方、上記n型ウェル領域13内には、p型MOSトランジスタ31a、31bが形成されている。上記p型MOSトランジスタ31a、31bは、ともに、p型不純物拡散層からなるドレイン領域32a、32bおよびソース領域33を有して形成されている。上記ソース領域33は、上記p型MOSトランジスタ31a、31bによって共有されている。そして、上記n型MOSトランジスタ21aおよび上記p型MOSトランジスタ31aには共通のゲート電極（SRAMセルの第1ゲート）41aが、また、上記n型MOSトランジスタ21bおよび上記p型MOSトランジスタ31bには共通のゲート電極（SRAMセルの第2ゲート）41bが、それぞれ設けられている。

## 【0015】

なお、実際のSRAMセルには、ノード（node）Aと上記ドレイン領域32aとの間、ノードBと上記ドレイン領域32bとの間、上記ドレイン領域22aと上記ドレイン領域32aとの間、および、上記ドレイン領域22bと上記ドレイン領域32bとの間を、それぞれ接続する配線（いずれも図示していない）が設けられている。これにより、上記n型MOSトランジスタ21a、21bおよび上記p型MOSトランジスタ31a、31bを用いてなる、フリップフロップ回路（後述する）が形成されている。

## 【0016】

また、上記ソース領域23は電源（Vdd）に、上記ソース領域33はグラウンド（Vss）に、それぞれ接続されている。さらに、上記p型MOSトランジスタ31a、31bの各ドレイン領域32a、32b上には、絶縁膜（図示していない）を介して、共通のゲート電極（SRAMセルの第3ゲート）41cが設けられている。そして、上記n型MOSトランジスタ21a、21bおよび上記p型MOSトランジスタ31a、31bの形成位置を除く、上記p型半導体基板11の表面部は、素子分離用の絶縁膜15によって覆われている。

## 【0017】

さらに、本実施形態においては、たとえば、上記ドレイン領域22a、22b、32a

、32bの接合容量を増加させるために、直下のウェル濃度が他の部位に比べて高いものとなっている。すなわち、上記ドレイン領域22aの直下のウェル領域（高濃度ウェル領域）12aの不純物濃度、および、上記ドレイン領域22bの直下のウェル領域（高濃度ウェル領域）12bの不純物濃度が、それぞれ、上記p型ウェル領域12の濃度よりも高くされている。また、上記ドレイン領域32aの少なくとも一部に対応する、その直下のウェル領域（高濃度ウェル領域）13aの不純物濃度、および、上記ドレイン領域32bの少なくとも一部に対応する、その直下のウェル領域（高濃度ウェル領域）13bの不純物濃度が、それぞれ、上記n型ウェル領域13の濃度よりも高くされている。

#### 【0018】

上記高濃度ウェル領域12a、12bの形成は、たとえば、上記p型ウェル領域12を形成する際の通常のイオン注入に加え、追加のイオン注入を選択的に行うことにより実現される。同様に、上記高濃度ウェル領域13a、13bの形成は、たとえば、上記n型ウェル領域13を形成する際の通常のイオン注入に加え、追加のイオン注入を選択的に行うことにより実現される。

#### 【0019】

図2は、上記した構成のSRAMセルにおける不純物プロファイルを示すものである。なお、同図(a)は上記ソース領域23、33の不純物プロファイルを、同図(b)は上記ドレイン領域22a、22b、32a、32bの不純物プロファイルを、それぞれ示している。また、同図(a)、(b)において、51は拡散層(23、33)のプロファイルであり、52は拡散層(22a、22b、32a、32b)のプロファイルであり、53はウェル(12、13)のプロファイルであり、54はウェル(12a、12b、13a、13b)のプロファイルである。

#### 【0020】

本実施形態の場合、たとえば同図(b)に示すように、拡散層(22a、22b、32a、32b)52とウェル(12a、12b、13a、13b)54との接合界面における不純物濃度が、 $5 \times 10^{18} \sim 10^{19} / \text{cm}^3$ 程度となるように制御される(ちなみに、拡散層(23、33)51とウェル(12、13)53との接合界面における不純物濃度は約 $10^{18} / \text{cm}^3$ である)。こうすることにより、接合容量が約2倍に上昇する。接合容量の増加は、負荷容量の増加と等価である。したがって、ソフトエラー耐性の改善を図ることができる。その結果、宇宙線照射に対する回路動作は従来のSRAMセルに比べて安定する。

#### 【0021】

ところで、負荷容量の増加は、通常、回路の応答速度を低下させる。本実施形態においては、ソフトエラーを起こし易い箇所、つまり、ソフトエラーに対して脆弱な部位の負荷容量だけを集中的に大きくするようにしている。これにより、応答速度の劣化は必要最低限に抑えることができる。

#### 【0022】

ここで、図3、図4を参照して、SRAMセルのどの部位に宇宙線が照射された場合に最もソフトエラーを起こし易いかについて説明する。なお、図3(a)は宇宙線を照射した部位(ノード)を、図3(b)は図3(a)のトランジスタ領域14に対応する箇所の等価回路を、それぞれ示している。また、図4(a)は、宇宙線が照射された際の、ノードA(VoutL)における電圧の時間変化を、図4(b)は、宇宙線が照射された際の、ノードB(VoutR)における電圧の時間変化を、それぞれ、宇宙線の照射部位(ノード(1)～ノード(6))ごとに示したものである。また、図4(a)、(b)は、フリップフロップ回路の初期状態がVoutL=ハイレベル(High Level)、VoutR=ロウレベル(Row Level)のときの結果である。

#### 【0023】

図4(a)、(b)より明らかなように、この構成のSRAMセルにおいては、たとえば図3(a)に示すように、ノード(1)およびノード(6)に宇宙線が照射された場合に最もセルの状態が反転し易いことがわかった。また、このSRAMセルは、回路構成が



左右対称となっている。よって、フリップフロップ回路の初期状態が  $V_{outL} = Low$  Level、 $V_{outR} = High$  Level のときには、たとえば図 3 (a) に示すように、ノード (3) およびノード (4) に宇宙線が照射された場合に最もセルの状態が反転し易くなることが分かった。

#### 【0024】

そこで、第 1 の実施形態においては、上述したように、ノード (1)、(3)、(4)、(6) に対応するドレイン領域 22a、22b、32a、32b の、それぞれの直下の少なくとも一部のウェル領域 12a、12b、13a、13b を高濃度化することによって、ソフトエラー耐性の改善を図った。

#### 【0025】

上記した第 1 の実施形態の場合、ソフトエラーの発生頻度 (SER) を最も低減したい場合に好適である。ところが、製品によっては、SER の低減よりも回路性能を重視する SRAM セルも存在する。回路性能を維持するためには、高濃度ウェル領域の形成箇所は少ない方が良い。そこで、回路性能を重視するような SRAM セルに対しては、たとえば、ノード (1)、(3)、(4)、(6) を、ソフトエラーを起こす確率の高い順に順位付けする。そして、順位の高い順に、それぞれ、高濃度ウェル領域 12a、12b、13a、13b を形成した場合の SER を算出する。こうして、所望の値以下の SER を実現することが可能な高濃度ウェル領域の、その形成箇所を決定する。

#### 【0026】

上記した構成の SRAM セルの場合、これまでの結果から、ソフトエラーを起こす確率は、ノード (1) およびノード (3) とノード (4) およびノード (6) とはほぼ同じで、ノード (4) よりもノード (1) の方がソフトエラーを起こし易いことが分かった。このような場合には、たとえば図 5 に示すように、ノード (1) とノード (3) とに対応するドレイン領域 32a、32b の、それぞれの直下の少なくとも一部に、n 型ウェル領域 13 よりも高濃度な高濃度ウェル領域 13a、13b を形成する。これにより、上述したドレイン領域 22a、22b、32a、32b の少なくとも一部に対応する、その直下に、それぞれ高濃度ウェル領域 12a、12b、13a、13b を形成するようにした場合 (図 1 参照) に比べ、回路性能の劣化を抑えることができる。

#### 【0027】

上記したように、ソフトエラー耐性が弱い部位に対し、負荷容量を集中的に付加するようにしている。これにより、宇宙線の照射に対する SRAM セルの出力が安定する。また、負荷容量を選択的に付加できるので、チップ面積の増加や回路性能の劣化を必要最低限に抑えることができる。

#### 【0028】

##### [第 2 の実施形態]

図 6～図 9 は、この発明の第 2 の実施形態にしたがった、SRAM のメモリセル (以下、SRAM セル) の基本構成を示すものである。ここでは、トリプルウェル構造によって、ソフトエラーに対する回路の安定性の改善を図るようにした場合について説明する。なお、図 6 は一部を透過して示す平面図であり、図 7 は図 6 の VII-VII 線に沿う断面図であり、図 8 は図 6 の VIII-VIII 線に沿う断面図であり、図 9 は図 6 の IX-IX 線に沿う断面図である。また、図 1 と同一部分には同一符号を付し、詳しい説明は割愛する。

#### 【0029】

本実施形態の場合、たとえば図 6～図 9 に示すように、ソフトエラー耐性が弱い部位 (領域 60) の、p 型ウェル領域 12 および n 型ウェル領域 13 の直下に、n 型埋め込み層 61 が埋め込まれたトリプルウェル構造が形成されている。それ以外の領域では、従来のウェル構造 (ツインウェル構造) となっている。n 型ウェル領域 13 および p 型ウェル領域 12 の深さ (セル表面から最深部までの距離) は、それぞれ、上記領域 60 内が約  $0.5 \mu m$ 、それ以外の領域が約  $0.8 \mu m$  となっている。上記 n 型埋め込み層 61 の深さ (セル表面から最深部までの距離) は、約  $1.0 \mu m \sim 1.2 \mu m$  である。

#### 【0030】

本実施形態の場合、上記 n 型埋め込み層 61 は、領域 60 内にしか存在しない。そのため、n 型埋め込み層 61 とドレイン領域 32a との間の絶縁分離特性や上記 p 型ウェル領域 12 の抵抗特性は、上記領域 60 内のみ最適化を行えばよく、回路の全領域に対して行う必要はない。その結果、SE R を効率よく低減することができる。

#### 【0031】

上述した第 1 の実施形態の場合と同様に、SE R の低減よりも回路性能を重視する場合には、n 型埋め込み層 61 の形成個所を減らせばよい。なお、所望の値以下の SE R を実現することが可能な n 型埋め込み層 61 の、その形成個所を決定する方法は、第 1 の実施形態の場合とほとんど同じである。

#### 【0032】

SRAMセルの場合、第 1 の実施形態でも述べたように、p 型ウェル領域 12 上のドレイン領域 22a, 22b は、n 型ウェル領域 13 上のドレイン領域 32a, 32b に比べてソフトエラーを起こす確率が低い。よって、回路性能を重視する場合には、たとえば図 10～図 13 に示すように、上記ドレイン領域 32a, 32b に対応する n 型ウェル領域 13 の直下（領域 60a）にのみ、トリプルウェル構造を実現するための n 型埋め込み層 61 を形成するようにすればよい。これにより、上述した第 1 の実施形態の場合と同様に、回路性能の劣化をさらに抑制できる。なお、図 10 は一部を透過して示す平面図であり、図 11 は図 10 の XI-XI 線に沿う断面図であり、図 12 は図 10 の XII-XII 線に沿う断面図であり、図 13 は図 10 の XIII-XIII 線に沿う断面図である。

#### 【0033】

上記したように、ソフトエラーに最も脆弱であると予想される部位の直下を、トリプルウェル構造とするようにしている。このため、従来の SRAMセルと比べ、宇宙線照射により発生した電流の回路への注入を抑え易くなる。しかも、トリプルウェル構造を選択的に形成できるので、チップ面積の増加や回路性能の劣化を必要最低限に抑えることができる。

#### 【0034】

なお、上述した第 1 および第 2 の実施形態は組み合わせることもできる。その場合、たとえば図 6～図 9 に示したように、上記領域 60 に対しては、各ドレイン領域 22a, 22b, 32a, 32b との接合界面における不純物濃度が  $5 \times 10^{18} / \text{cm}^3$  で、深さが約  $0.5 \mu\text{m}$  の高濃度ウェル領域を形成する。それ以外の領域に対しては、ソース領域 23, 33 との接合界面における不純物濃度が  $10^{18} / \text{cm}^3$  で、深さが約  $0.8 \mu\text{m}$  のウェル領域をそれぞれ形成するようにする。これにより、さらなる SE R の低減を図ることができる。また、SE R の低減よりも回路性能を重視する場合には、ソフトエラーを起こす確率の高い部位（この例の場合、図 10～図 13 の領域 60a）に対してのみ、上記高濃度ウェル領域を形成するようにする。この場合、回路性能を維持しつつ、SE R の低減を図ることが可能となる。

#### 【0035】

上述した第 1 および第 2 の実施形態においては、負荷容量の付加やウェル構造を部分的に変更することで、SE R を効率よく低減できるようにしている。実際の製品の製造に際しては、このような変更を施す箇所（ソフトエラーに対して脆弱である部位）が、シミュレーションや実験などによる事前の予備検討により予測される。

#### 【0036】

具体的には、たとえば図 14 (a), (b) に示すように、素子 71 を構成する、p 型シリコン基板 72 上の p 型ウェル領域 73 の表面部に形成された  $n^+$  拡散層領域 74 や、素子 81 を構成する、p 型シリコン基板 82 上の n 型ウェル領域 83 の表面部に形成された  $p^+$  拡散層領域 84 に、それぞれ宇宙線が入射した場合に発生する電流波形  $I_{\text{SEU}}$  を計算する。この場合、上記素子 71, 81 は、実際の回路における、n 型 MOS トランジスタおよび p 型 MOS トランジスタの拡散層近傍の構造にそれぞれ近似されている。これらの素子 71, 81 は、プロセスシミュレーションにより再現される。また、p 型ウェル領域 73 および n 型ウェル領域 83 の形成条件については、素子分離特性やウェル抵抗の許

容範囲内となるように決定される。なお、素子分離特性やウェル抵抗は、シミュレーションや実験によりあらかじめ取得しておく。

#### 【0037】

電流波形  $I_{SEU}$  の計算方法について、以下に説明する。はじめに、入射する宇宙線のエネルギー、核種、入射角、入射位置を設定する。これらの情報から、宇宙線が基板 72, 82 を横切る軌跡を計算する。次に、この軌跡に沿って生成される電子・正孔対を計算する。最後に、発生した電子・正孔対の挙動を、ポアソン方程式と電流連続の式とを用いて計算する。

#### 【0038】

電流波形  $I_{SEU}$  の計算のための具体的手法としては、たとえば、文献 “Integrated Systems Engineering AG, Zurich, TCAD DESSIS-8.0 Manual” に記載されている方法などが挙げられる。

#### 【0039】

これまでの検討の結果から、電流波形  $I_{SEU}$  は、入射する宇宙線のエネルギー、核種、入射角、入射位置などの入射条件によって変化することがわかっている。したがって、想定され得る全ての入射条件について、電流波形  $I_{SEU}$  を計算するのが理想的である。しかし、計算量を節約するため、典型的な入射条件での電流波形  $I_{SEU}$  についてのみ計算し、以降の回路シミュレーションでは、この典型的な入射条件での電流波形  $I_{SEU}$  を用いるようにしてもよい。

#### 【0040】

こうして得られた電流波形  $I_{SEU}$  を用いて、回路の出力が変化するかにについての回路シミュレーションを行う。回路シミュレーション上では、電流波形  $I_{SEU}$  を電流源 75, 85 として扱う。つまり、回路中のノード ( $n^+$  拡散層領域 74 および  $p^+$  拡散層領域 84) に電流源を接続することで、そのノードに宇宙線が入射した状況を近似させる。この回路シミュレーションは、回路中の全てのノードについて行うのが望ましい。しかし、以下のようにして、時間を短縮することもできる。たとえば、これまでの検討の結果、電源 ( $V_{dd}$ ) とともグラウンド ( $V_{ss}$ ) ととも接続されていない、いわゆる電位の固定されていない  $n$  型 MOS トランジスタおよび  $p$  型 MOS トランジスタの拡散層 (ドレイン) において、ソフトエラーが起き易いことが判明している。よって、そのノードを優先的にシミュレーションするようにしてもよい。この後、回路シミュレーションの結果にしたがって、つまり、出力が変化したノードをソフトエラーの起き易い部位とし、上述した負荷容量の付加やウェル構造の変更を実施する。

#### 【0041】

第 1 および第 2 の実施形態とも、テクノロジーノードが 90 nm 世代の、セルサイズが  $1.26 \mu m \times 0.92 \mu m$  の SRAM を例に説明した。特に、テクノロジーノードが 90 nm 世代以降の CMOS LSI、とりわけ SRAM において有効である。

#### 【0042】

その他、本願発明は、上記 (各) 実施形態に限定されるものではなく、実施段階ではその要旨を逸脱しない範囲で種々に変形することが可能である。さらに、上記 (各) 実施形態には種々の段階の発明が含まれており、開示される複数の構成要件における適宜な組み合わせにより種々の発明が抽出され得る。たとえば、(各) 実施形態に示される全構成要件からいくつかの構成要件が削除されても、発明が解決しようとする課題の欄で述べた課題 (の少なくとも 1 つ) が解決でき、発明の効果の欄で述べられている効果 (の少なくとも 1 つ) が得られる場合には、その構成要件が削除された構成が発明として抽出され得る。

#### 【図面の簡単な説明】

#### 【0043】

【図 1】本発明の第 1 の実施形態にしたがった、SRAM セルの基本構成を示す平面図。

【図 2】図 1 に示した SRAM セルの不純物プロファイルを示す図。

【図 3】SRAMセルのソフトエラーを起こし易い部位について説明するために示す図。

【図 4】SRAMセルのソフトエラーを起こし易い部位について説明するために示す図。

【図 5】本発明の第 1 の実施形態にしたがったSRAMセルの、他の構成例を示す平面図。

【図 6】本発明の第 2 の実施形態にしたがった、SRAMセルの基本構成を示す平面図。

【図 7】図 6 に示したSRAMセルの、VII-VII 線に沿う断面図。

【図 8】図 6 に示したSRAMセルの、VIII-VIII線に沿う断面図。

【図 9】図 6 に示したSRAMセルの、IX-IX線に沿う断面図。

【図 10】本発明の第 2 の実施形態にしたがったSRAMセルの、他の構成例を示す平面図。

【図 11】図 10 に示したSRAMセルの、XI-XI線に沿う断面図。

【図 12】図 10 に示したSRAMセルの、XII-XII 線に沿う断面図。

【図 13】図 10 に示したSRAMセルの、XIII-XIII線に沿う断面図。

【図 14】ソフトエラーに対して脆弱な部位を、事前の予備検討により予測するために用いられる素子の構成図。

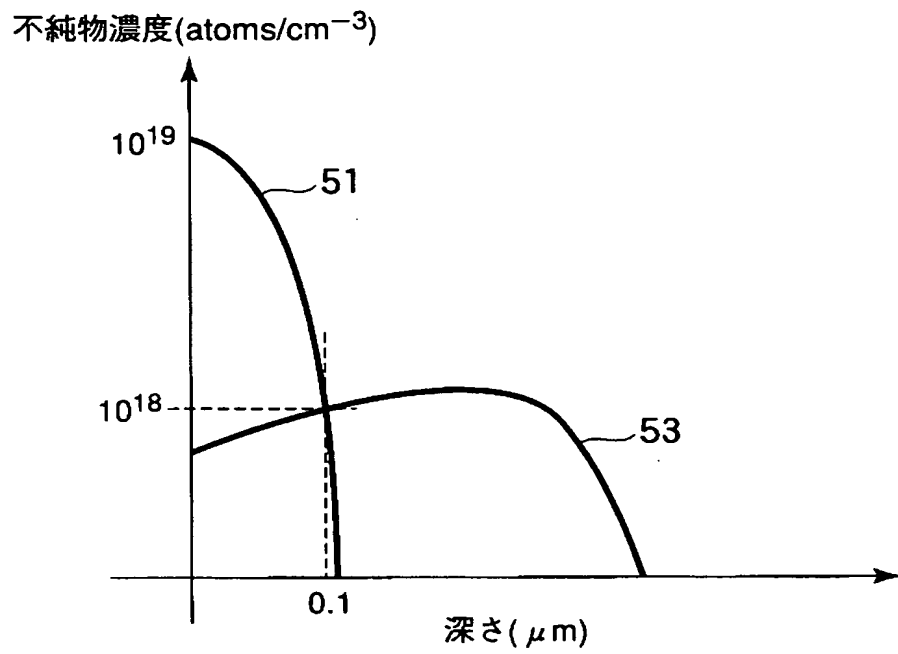
#### 【符号の説明】

##### 【0044】

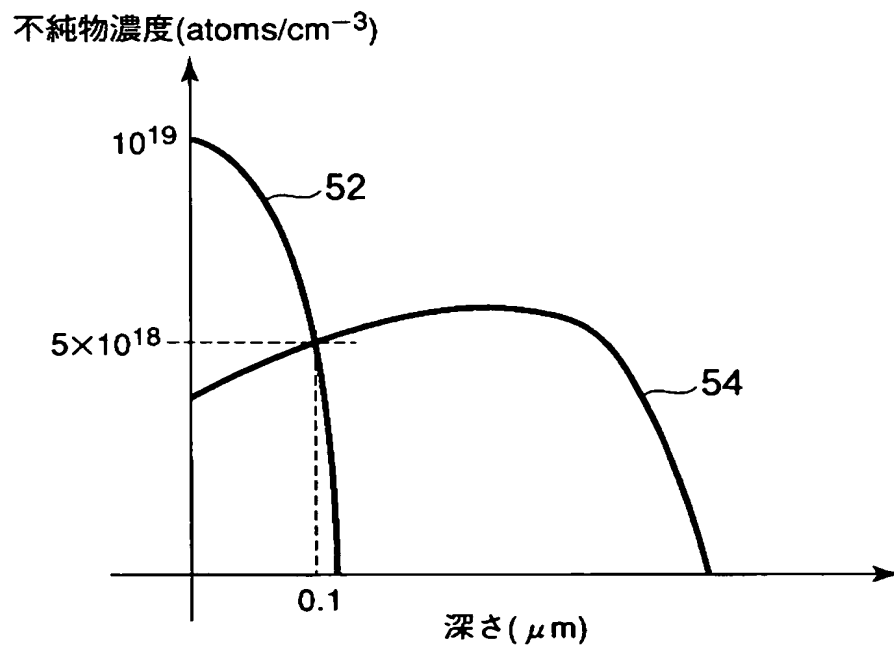
11…p 型半導体基板 (p-基板)、12…p 型ウェル領域 (p-well)、12a, 12b…高濃度ウェル領域、13…n 型ウェル領域 (n-well)、13a, 13b…高濃度ウェル領域、14…トランジスタ領域、15…素子分離用の絶縁膜、21a, 21b…n 型MOSトランジスタ、22a, 22b…ドレイン領域、23…ソース領域、31a, 31b…p 型MOSトランジスタ、32a, 32b…ドレイン領域、33…ソース領域、41a…ゲート電極 (SRAMセルの第 1 ゲート)、41b…ゲート電極 (SRAMセルの第 2 ゲート)、41c…ゲート電極 (SRAMセルの第 3 ゲート)、51…拡散層 (23, 33) のプロファイル、52…拡散層 (22a, 22b, 32a, 32b) のプロファイル、53…ウェル (12, 13) のプロファイル、54…ウェル (12a, 12b, 13a, 13b) のプロファイル、60, 60a…領域、61…n 型埋め込み層、71…素子、72…p 型シリコン基板、73…p 型ウェル領域、74…n<sup>+</sup> 拡散層領域、75…電流源、81…素子、82…p 型シリコン基板、83…n 型ウェル領域、84…p<sup>+</sup> 拡散層領域、85…電流源、I<sub>SEU</sub>…電流波形、V<sub>dd</sub>…電源、V<sub>ss</sub>…グラウンド。



【図 2】

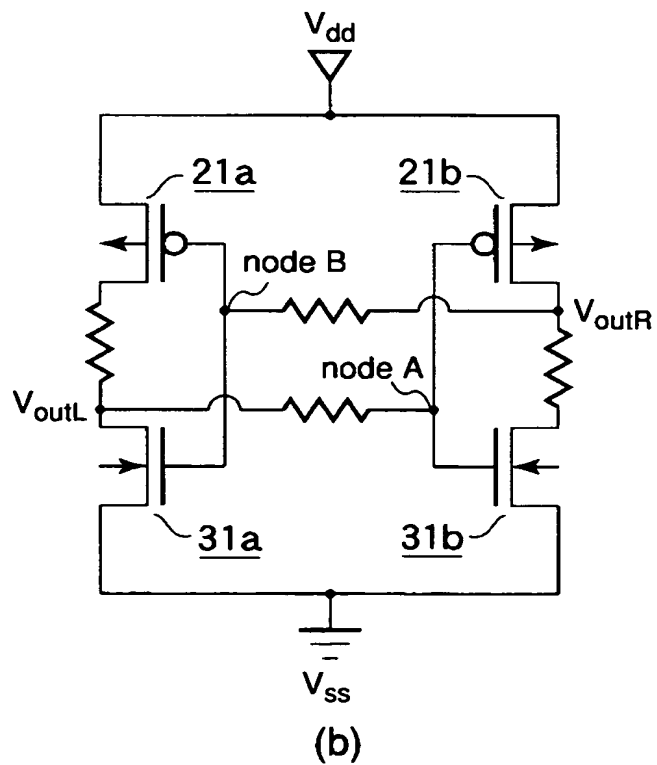
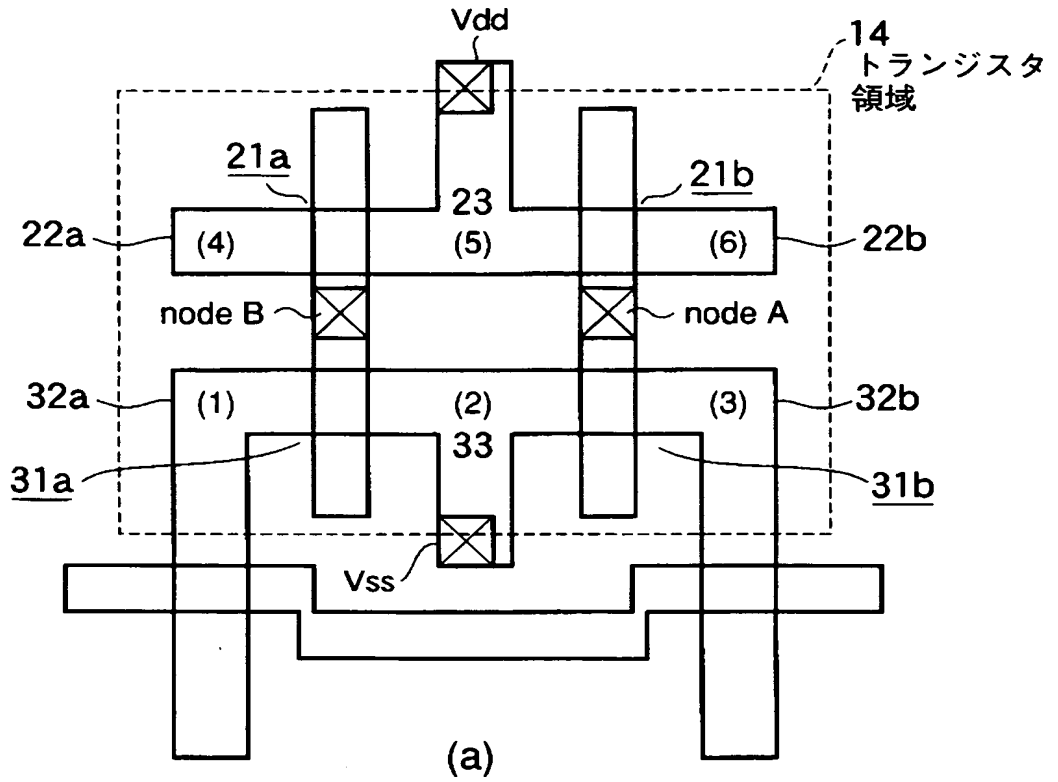


(a)

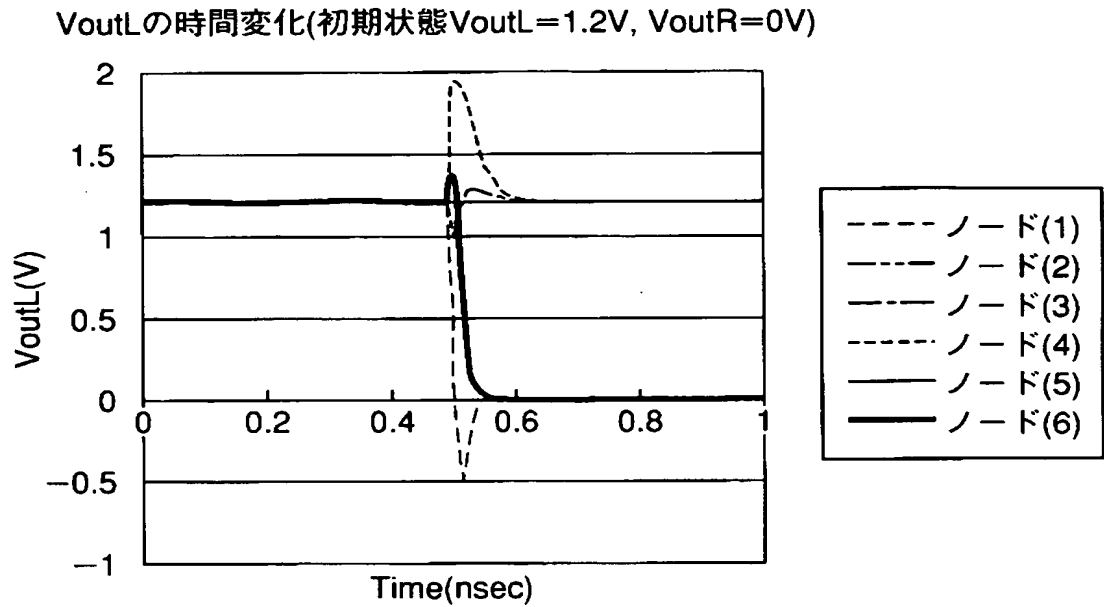


(b)

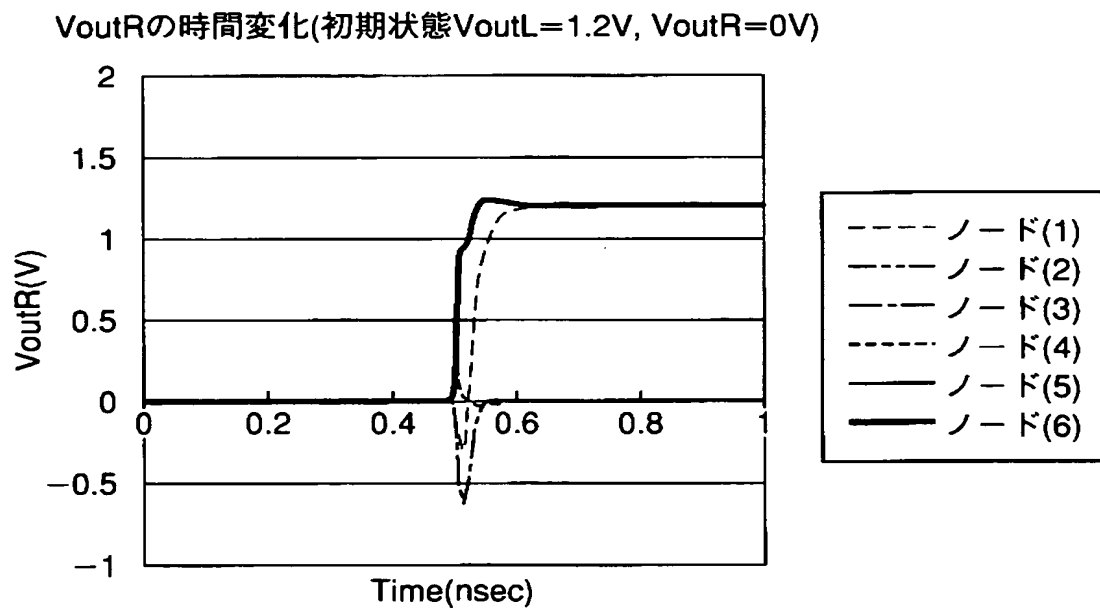
【図 3】



【図 4】



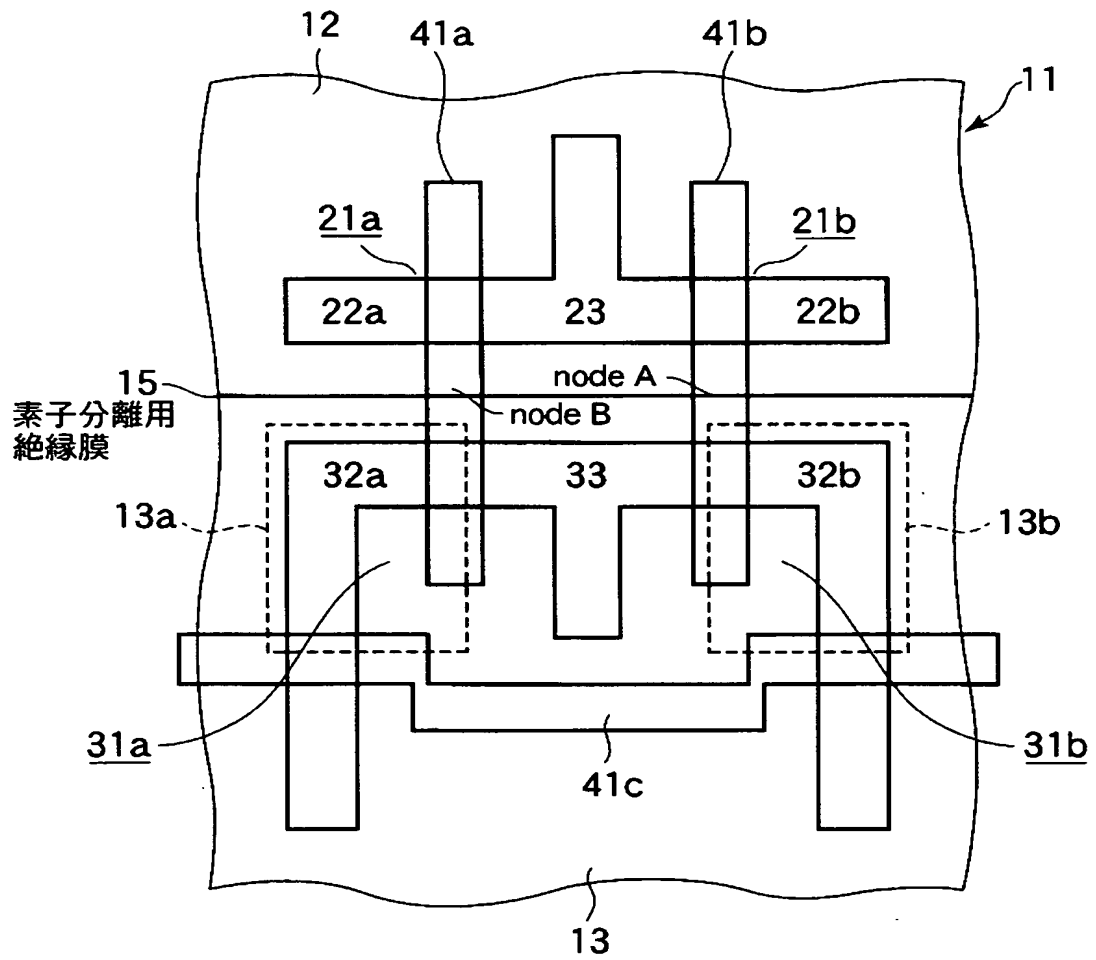
(a)



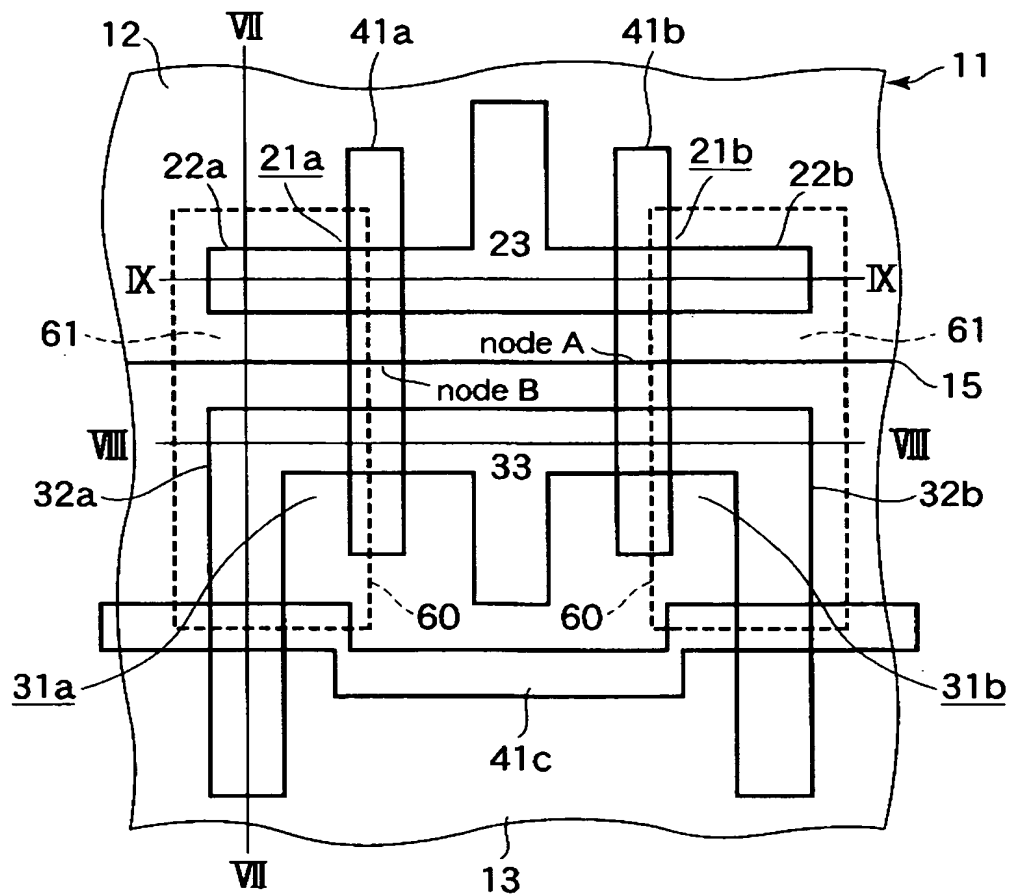
(b)



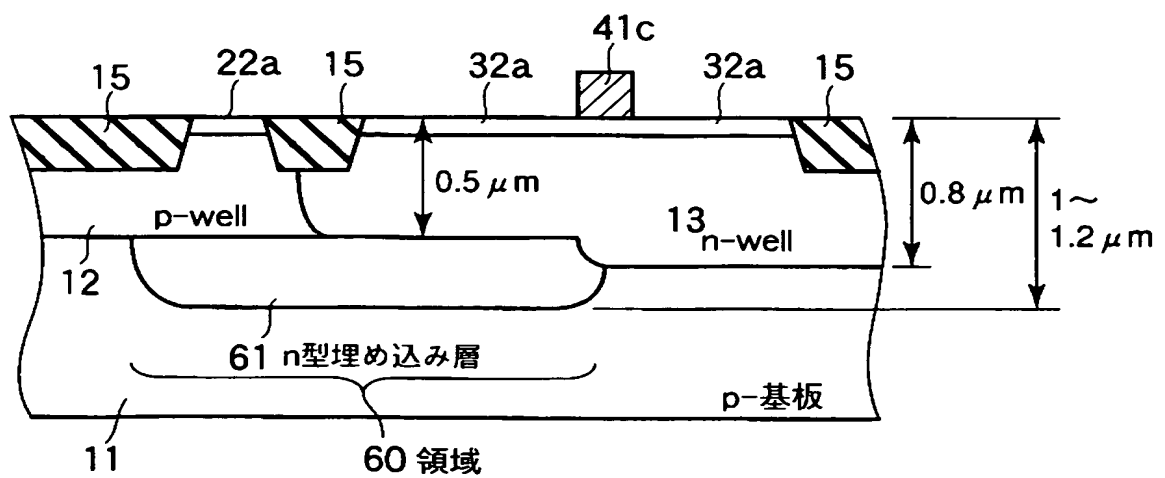
【図 5】



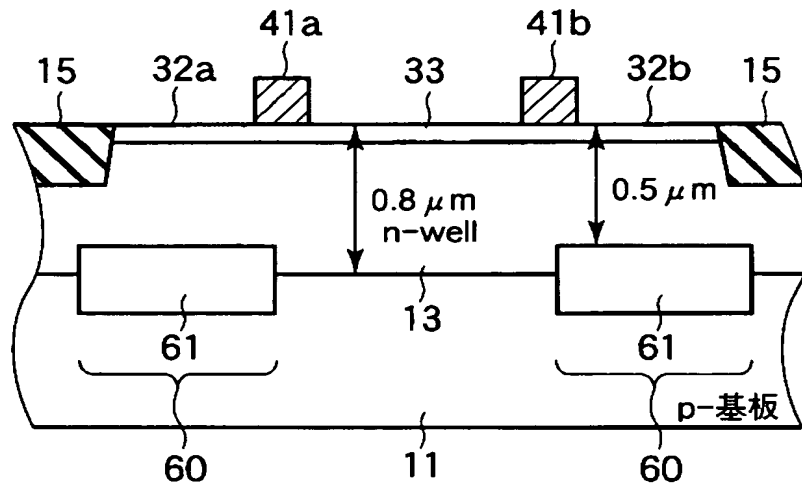
【図 6】



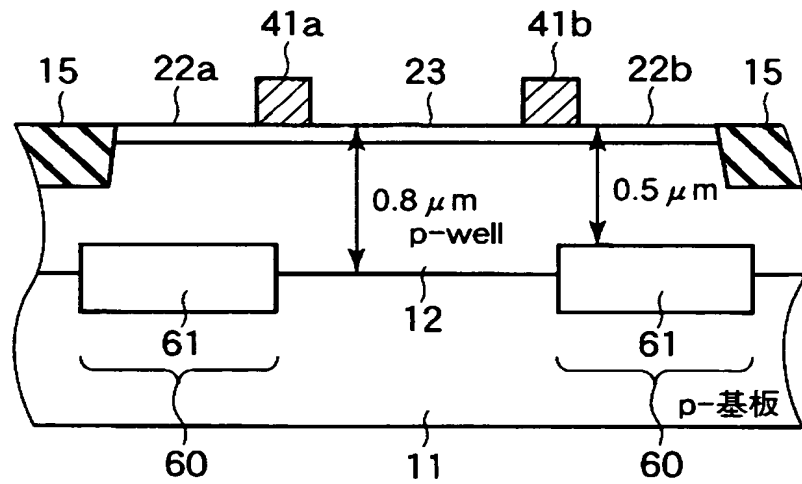
【図 7】



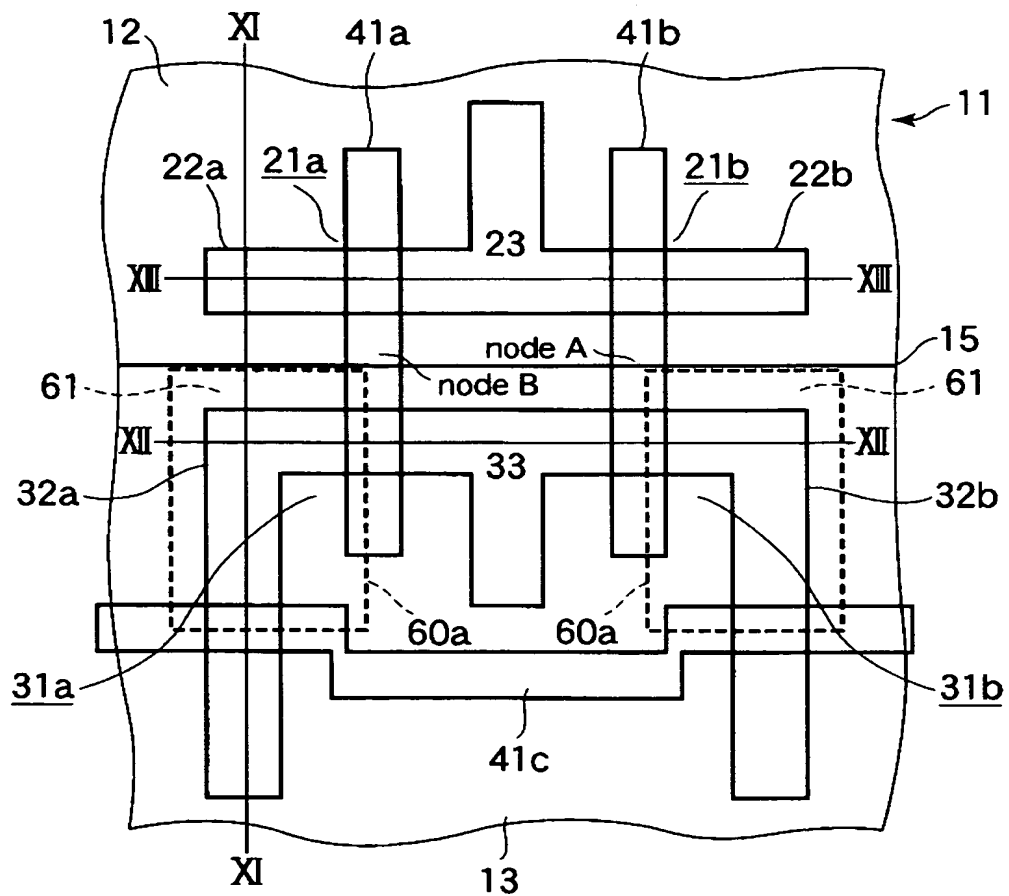
【図 8】



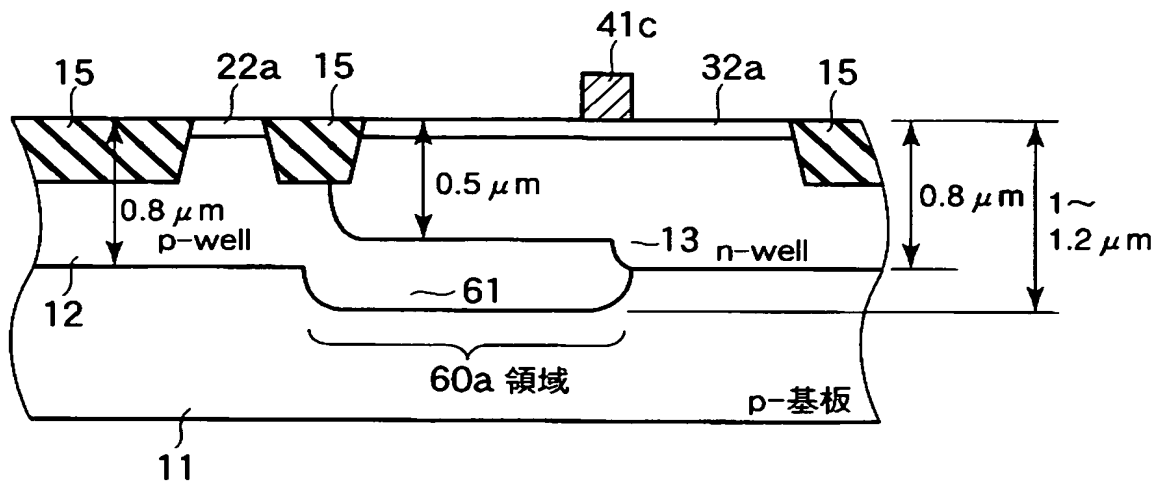
【図 9】



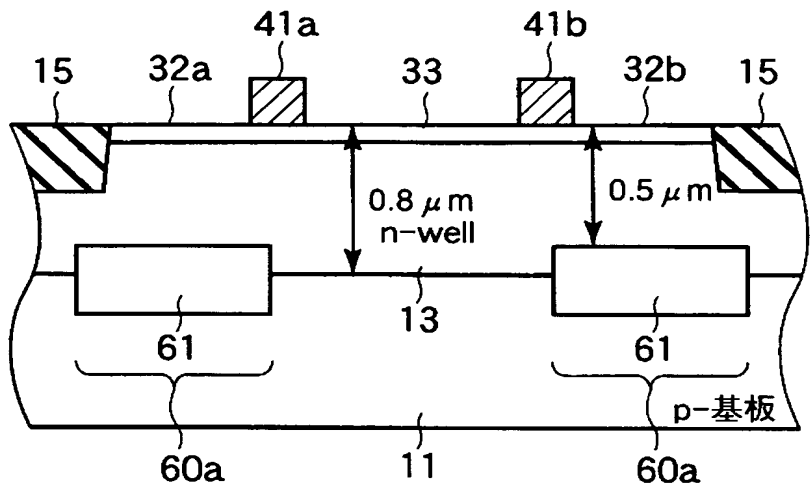
【図 10】



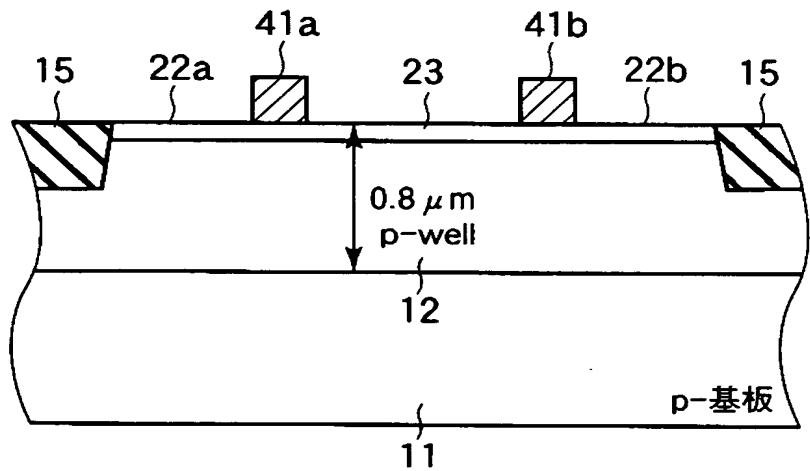
【図 1 1】



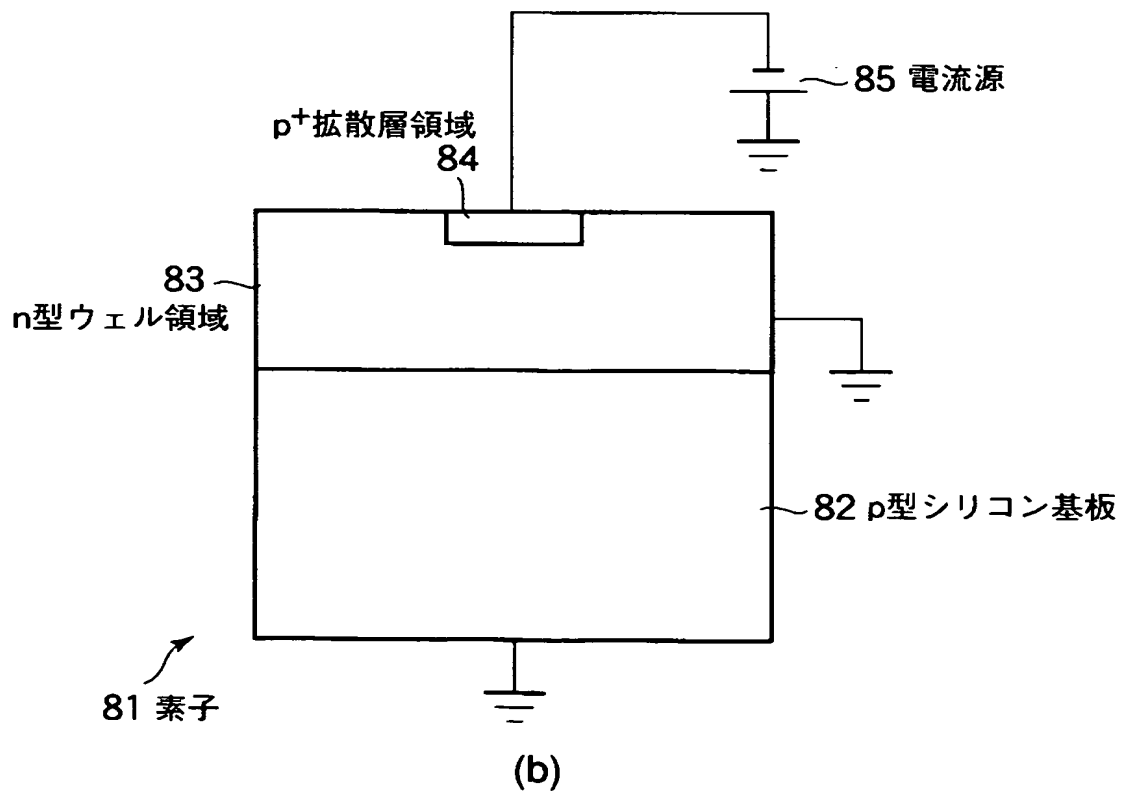
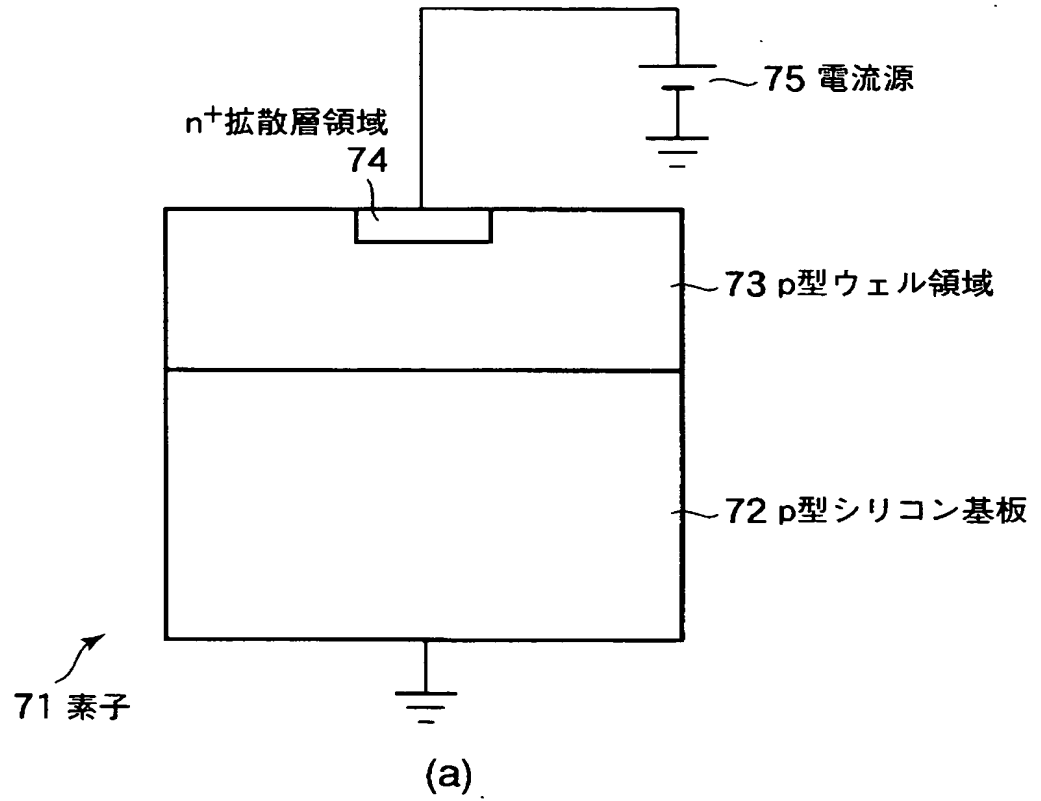
【図 12】



【図 13】



【図 14】



**【書類名】 要約書****【要約】**

**【課題】** 本発明は、CMOS型電界効果トランジスタをメモリセルに利用したSRAMにおいて、回路性能の劣化やチップ面積の増大を必要最低限に抑えつつ、ソフトエラーの発生頻度を低減できるようにすることを最も主要な特徴としている。

**【解決手段】** たとえば、p型半導体基板11の表面部に設けられた、p型ウェル領域12内にはn型MOSトランジスタ21a、21bが、n型ウェル領域13内にはp型MOSトランジスタ31a、31bが形成されている。そして、上記n型MOSトランジスタ21a、21bのドレイン領域22a、22bの直下のウェル領域12a、12bが、それぞれ、p型ウェル領域12よりも高濃度化され、上記p型MOSトランジスタ31a、31bのドレイン領域32a、32bの少なくとも一部に対応する、その直下のウェル領域13a、13bが、それぞれ、n型ウェル領域13よりも高濃度化されてなる構成となっている。

**【選択図】** 図1

特願 2003-399895

出願人履歴情報

識別番号

[000003078]

1. 変更年月日

2001年 7月 2日

[変更理由]

住所変更

住 所

東京都港区芝浦一丁目1番1号

氏 名

株式会社東芝